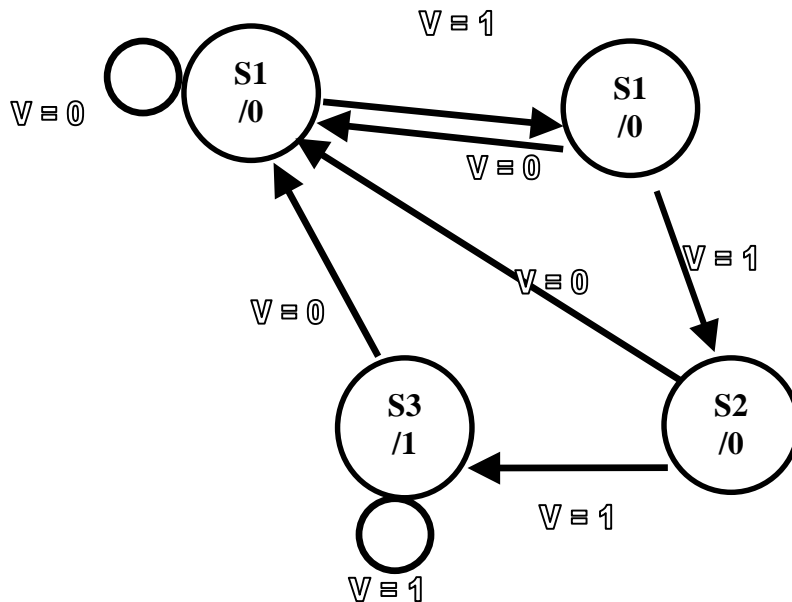


8. Używając przerzutników J-K i dodatkowych bramek logicznych zaprojektuj układ o dwóch wejściach X i Y, oraz wyjściu Z. Wyjście Z jest jeden tylko wtedy kiedy X i Y są takie same przynajmniej przez 3 takty zegara. W projekcie można wykorzystać układ zaprojektowany w poprzednim zadaniu.

V jest jeden gdy X i Y są takie same
Oznaczamy $V = (X \oplus Y)'$.



Kodowanie stanów:

- S0 → 00
- S1 → 01
- S2 → 10
- S3 → 11

S	S*		Wyjście E
	V=0	V=1	
S0	S0	S1	0
S1	S0	S2	0
S2	S0	S3	0
S3	S0	S3	1

Q ₁	Q ₀	Q ₁ *	Q ₀ *	Q ₁ *	Q ₀ *	J ₁	K ₁	J ₀	K ₀	J ₁	K ₁	J ₀	K ₀	E
		V=1		V=0		V=1		V=1		V=0		V=0		
0	0	0	1	0	0	0	X	1	X	0	X	0	X	0
0	1	1	0	0	0	1	X	X	1	0	X	X	1	0
1	0	1	1	0	0	X	0	1	X	X	1	0	X	0
1	1	1	1	0	0	X	0	X	0	X	1	X	1	1

Pobudzenia dla JK

V/Q₁Q₀

0	0	X	X
0	1	X	X

$$J_1 = Q_0 V$$

0	X	X	0
1	X	1	X

$$J_0 = V$$

1	1	X	1
X	X	0	0

$$K_1 = V'$$

X	1	1	X
X	X	0	X

$$K_0 = V' + Q_1'$$

Z drugiej tablicy widać, że

$$E = Q_0 Q_1$$

